

MINISTÈRE DE L'INDUSTRIE

SERVICE

de la PROPRIÉTÉ INDUSTRIELLE

BREVET D'INVENTION

P.V. n° 1.646

Classification internationale :

N° 1.430.241

H 04 I

Dispositif d'asservissement de phase à commande arithmétique. (Invention : Gabriel, Henri, Léon DUREAU.)

Société anonyme dite : SOCIÉTÉ ALSACIENNE DE CONSTRUCTIONS ATOMIQUES, DE TÉLÉCOMMUNICATIONS ET D'ÉLECTRONIQUE « ALCATEL » résidant en France (Seine).

Demandé le 12 janvier 1965, à 16^h 21^m, à Paris.

Délivré par arrêté du 24 janvier 1965.

(Bulletin officiel de la Propriété industrielle, n° 10 de 1966.)

(Brevet d'invention dont la délivrance a été ajournée en exécution de l'article 11, § 7, de la loi du 5 juillet 1844 modifiée par la loi du 7 avril 1902.)

La présente invention concerne un dispositif d'asservissement de phase à commande arithmétique. Des dispositifs d'asservissement de phase purement analogiques, encombrants, délicats et peu stables, ont déjà été proposés en particulier en télévision. L'invention se propose de fournir un dispositif d'asservissement de phase qui évite ces inconvénients.

On sait que, dans les systèmes de transmission par impulsions et dans les systèmes de transmission de données numériques, sous forme binaire, sur lignes téléphoniques, il est nécessaire de disposer, à l'extrémité réceptrice, d'un appareil destiné à assurer la synchronisation. On sait aussi que la fréquence propre de cette synchronisation doit être extraite du signal reçu lui-même. Les signaux synchronisés qui sont engendrés à cette extrémité réceptrice peuvent être utilisés :

Soit pour assurer la distribution des différents moments propres à un même caractère et des différents caractères propres à un même message ;

Soit pour effectuer une régénération des signaux reçus et donc améliorer la qualité de la transmission. Cette régénération est obtenue par un échantillonnage des signaux reçus, à mi-temps.

Les dispositifs électroniques connus utilisés pour assurer la synchronisation des émissions réceptrices appartiennent aux deux types suivants :

Le premier type comprend un circuit oscillant excité par impulsions ; dans ce cas, on prévoit un circuit oscillant (self, capacité) dont la fréquence propre est égale à la fréquence d'émission des chiffres binaires. Selon la technique courante, on applique à ce circuit oscillant les signaux en créneaux reçus, ou de préférence des signaux obtenus par dérivation des signaux en créneaux, on parvient ainsi à entretenir, d'une manière plus ou moins satisfaisante, un état d'oscillation aux bornes dudit cir-

cuit oscillant. En utilisant des composants de qualité, un tel circuit peut être assez stable et ses variations en fonction de la température peuvent être faibles, mais reste posé le problème du terme d'amortissement : en effet, lorsque dans le signal reçu il existe des intervalles assez longs entre impulsions de même polarité, il se produit un phénomène de décroissance exponentielle de la tension oscillatoire. Cette décroissance peut être telle que le signal devient inutilisable et elle est en outre accompagnée d'un allongement de la pseudo-période, qui peut également être considéré comme un phénomène de modulation de phase. De tels dispositifs sont donc d'une utilisation peu sûre malgré les précautions qui peuvent être prises pour une bonne réalisation.

Le second type de dispositifs de synchronisation utilise la propriété qu'ont les multivibrateurs, de la classe des oscillateurs non linéaires, de se synchroniser facilement. Mais ces oscillations non linéaires ne sont pas stables et l'on retrouve donc ce défaut dans les multivibrateurs sous forme d'un manque de stabilité en fréquence et spécialement d'une grande sensibilité à la température : lorsqu'il existe dans le signal reçu des espaces assez longs entre impulsions de même polarité, le multivibrateur ne reçoit pas d'impulsions de synchronisation et il peut dériver considérablement.

Enfin, on sait par la théorie générale des oscillateurs, que les oscillateurs linéaires sont très stables mais non synchronisables.

Pour éviter les inconvénients des asservissements connus, la demanderesse a eu l'idée de mettre en œuvre une commande purement arithmétique de l'asservissement et d'utiliser un oscillateur linéaire dans le dispositif de synchronisation, en organisant les circuits de manière à éviter les inconvénients rappelés ci-dessus des oscillateurs linéaires.

Sous sa forme la plus générale l'invention concerne un dispositif d'asservissement de phase à commande arithmétique qui comprend essentiellement un comparateur recevant les signaux binaires à leur entrée dans le récepteur, un compteur relié directement audit comparateur et un générateur local à haute stabilité branché entre le comparateur et le compteur qui fournit le signal de synchronisation du récepteur et qui met le récepteur en phase à l'instant de transition des signaux binaires reçus.

Comme générateur local à haute stabilité, on utilise de préférence un oscillateur à quartz, très stable et dont la fréquence propre est un multiple élevé de la fréquence propre de fonctionnement du récepteur, par exemple de la forme 2^N de cette fréquence. La fréquence propre du récepteur est donc obtenue par démultiplication de fréquence à l'aide du compteur, (organe électronique connu, couramment désigné sous le nom de « compteur à bascules »). Quant à la mise en phase du dispositif récepteur, elle est effectuée par la mise en un état bien déterminé du compteur, par exemple en une mise en « 0 » à l'instant de transition des signaux binaires reçus. Le montage comprend une boucle et on peut dire que le contenu du compteur est asservi aux signaux impulsions reçus, cet asservissement étant bien à commande purement arithmétique. Dans les conditions générales, le signal reçu (signal à l'entrée) présente des instants caractéristiques (montée-descente) séparés de temps bien déterminés par l'oscillateur pilote de l'émetteur; ce temps est $T_e = \frac{1}{f_e}$ ou bien un multiple de ce temps dans

le cas d'émission sans retour à zéro entre signaux binaires. (f_e est la fréquence d'émission).

A la réception — c'est-à-dire à l'entrée — on dispose d'un oscillateur très stable et de fréquence aussi peu différente que possible d'un multiple de f_e , de préférence de la forme $2^N \cdot f_e$, c'est-à-dire $2^N (f_e \pm \epsilon)$ et d'un démultiplicateur utilisant un compteur binaire à N étages, donc démultipliant par 2^N .

On peut considérer ce compteur tournant sans arrêt comme un dispositif polyphasé à 2^N phases, mais passant donc par une phase considérée comme phase origine toutes les $\frac{1}{2^N}$ phases, c'est-à-dire ici avec un intervalle de temps égal à :

$$\frac{1}{f_e \pm \epsilon} = T_e \mp \eta.$$

Au bout d'un temps correspondant à un nombre important S d'émission de signaux, on constatera un écart temporel entre les signaux émis et le système de synchronisation du récepteur, cet écart étant :

$$S T_e - S (T_e \mp \eta) = \pm \eta S.$$

Le dispositif d'asservissement de phase décrit, permet non seulement de mettre le récepteur en position convenable sur la phase origine, mais encore de limiter l'erreur temporelle précisée ci-dessus (erreur qui est une dérive) à une durée de phase au plus égale à :

$$\frac{T_e \mp \eta}{2^N} = \frac{T_e}{2^N}.$$

Le faible écart de fréquence des oscillateurs de l'émetteur et du récepteur est donc compensé par une modulation de phase quantifiée et contrôlée.

L'asservissement de phase peut être accéléré, au cas où le récepteur est complètement déphasé, au lieu de rephaser unité par unité, comme dans le cas général ci-dessus, on utilise un plus grand nombre de signaux obtenus par décodage en position du contenu du compteur et un nombre correspondant de détecteurs de coïncidence et de leurs organes connexes, de manière à pouvoir remettre en phase par 2, 4... 2^N unités.

On a donné ci-après une description détaillée d'un asservissement à commande arithmétique selon l'invention, en se référant aux dessins annexés. Dans ces dessins :

Figure 1 représente le schéma de principe du dispositif;

Figure 2 montre le schéma détaillé d'un exemple d'asservissement à commande arithmétique selon l'invention;

Figure 3 représente les signaux formés en divers points du dispositif de figure 2.

A la figure 1, on voit la boucle formée par le comparateur 1 dans lequel les signaux arrivés sont admis en 2, par le générateur 3 à haute stabilité dans lequel le comparateur 1 débite par la ligne 4 et qui envoie ses impulsions par la ligne 5 dans le compteur 6; la boucle est fermée par la ligne 7 du compteur 6 vers le comparateur 1. Les signaux de synchronisation du dispositif sortent du compteur 6 en 8.

Dans l'exemple de réalisation représenté en figure 2, l'ensemble du dispositif comprend, à partir de l'entrée 2 des signaux XVI en créneaux reçus :

D'une part, un dérivateur 9 dont la sortie est reliée à un redresseur d'impulsions 10, qui débite dans deux détecteurs de coïncidence 11 et 12 dont chacun est constitué, par exemple d'un circuit à diodes et à transistors du type ET, l'un des détecteurs (11 dans l'exemple) étant relié par la ligne 13 à un multivibrateur 14 monostable qui fournit une impulsion fixe décalée par rapport à l'impulsion qui lui est délivrée par le détecteur 11;

D'autre part, un oscillateur linéaire 15 à quartz de haute stabilité (10^{-6} à 10^{-8}), un générateur local 16 d'impulsions fines qui est synchronisé par

les signaux sinusoïdaux produits par l'oscillateur 15, un circuit inhibiteur 17 constitué ici et par exemple par des circuits logiques « complément » et « ET » dans lequel le générateur 16 débite directement, un circuit logique 18 « OU »;

Enfin, un compteur binaire 19 à un certain nombre approprié d'étages (quatre dans le cas considéré) et un décodeur de position 20, réalisé par exemple à l'aide d'une matrice à diodes.

Le second détecteur de coïncidence 12 délivre ses impulsions à l'inhibiteur 17 par la ligne 21; le décodeur 20 est relié au second détecteur de coïncidence 12 par la ligne 22 et au premier détecteur 11 par la ligne 23. Le multivibrateur 14 est relié au circuit logique 18 par la ligne 24.

La fréquence de l'oscillateur à quartz 15 a été choisie, dans l'exemple, égale à 16 fois la fréquence des signaux binaires reçus. Elle peut d'ailleurs être égale à 2^n fois la fréquence desdits signaux binaires. Dans ces conditions, on fait les constatations suivantes qui expliciteront le fonctionnement de l'ensemble :

A la sortie du redresseur 10, on dispose, à partir des signaux en créneaux arrivés en 2, d'impulsions de même polarité et apparaissant à chaque transition du signal en créneaux (impulsions redressées XVII). Si l'inhibiteur 17 n'était pas prévu, le compteur 19 qui comporte quatre étages et peut donc compter jusqu'à $2^4 = 16$, fonctionnerait en permanence en démultiplicateur de fréquence; la chaîne formée par l'oscillateur 15, le générateur 16, l'inhibiteur 17 et le circuit logique 18 ne contient aucun élément assurant la synchronisation du compteur 19 par rapport au signal binaire XVI (fig. 2) reçu en 2. Le décodeur 20 assure ici le décodage du contenu du compteur 19 de manière à fournir deux signaux en créneaux, qui sont respectivement :

1° Le signal en créneaux XII qui présente une phase active durant la période allant des temps 1 à 8 du compteur 19;

2° Le signal en créneaux XIII qui présente une phase active durant la période allant des temps 8 à 16 du compteur 19.

Le signal XII est appliqué au détecteur de coïncidence 12 et le signal XIII au détecteur de coïncidence 11. Prenant comme temps initial le temps pendant lequel le compteur affiche 0 en numération binaire, aucun des deux détecteurs 11 et 12 de coïncidence ne peut fournir à sa sortie de signal impulsional pendant la durée de cet affichage. Si le dispositif d'asservissement de phase n'est pas synchronisé, le signal XVII peut apparaître soit pendant la phase active du signal XII (cas où le dispositif d'asservissement se trouve en avance sur le fonctionnement désiré) soit en coïncidence avec la phase active du signal XIII (cas où le dispositif d'asservissement de phase se trouve en retard sur le fonctionnement désiré). Si donc le dispositif d'asservissement est

en avance, le détecteur de coïncidence 12 fournit un signal de commande à l'inhibiteur 17, ce qui a pour effet de supprimer une impulsion fournie par le générateur 16 au compteur 19; de ce fait, le dispositif d'asservissement est retardé de $1/16^e$ de la période d'une impulsion. Si par contre, le dispositif d'asservissement est en retard, le détecteur de coïncidence 11 fournit une impulsion de déclenchement au multivibrateur 13; celui-ci fournit en 18, une impulsion qui vient s'intercaler entre les impulsions fournies par le générateur 16, ce qui a pour effet de faire avancer le compteur d'une unité supplémentaire. Lorsque le dispositif est mis directement en phase, ce qui se traduit par la coïncidence de l'état 0 du compteur avec l'instant de transition du signal entrant XVI, aucun des deux détecteurs de coïncidence ne fournit de signal et la séquence de comptage de 0 jusqu'au temps 16 du compteur 19 se déroule toujours à l'intérieur de la durée des signaux impulsionnels reçus.

On notera que le signal XIV (fig. 2 et 3) issu de la première bascule du compteur permet d'effectuer l'échantillonnage à mi-temps des signaux reçus.

En utilisant dans le présent exemple, un oscillateur à quartz dont la fréquence ne diffère de la fréquence de l'oscillateur pilote de l'émetteur que de 1.10^{-6} , il se produira une dérive lente du récepteur par rapport à l'émetteur, en l'absence de réception de signaux effectuant la synchronisation et cette dérive représentera $1/16^e$ de période après 60 000 impulsions. Si au contraire le récepteur et l'émetteur sont synchronisés au départ, on voit qu'il suffit d'une seule impulsion sur 60 000 pour « remettre à l'heure » le compteur local. Si à un moment, par exemple au démarrage d'une installation, le récepteur est complètement déphasé, il suffit de 8 impulsions au plus pour remettre à l'heure le compteur, cette remise à l'heure étant effectuée soit dans le sens avance, soit dans le sens retard.

RÉSUMÉ

L'invention a pour objet :

1° Un asservissement de phase à commande arithmétique comprenant essentiellement un oscillateur linéaire dans le dispositif de synchronisation.

2° Un dispositif d'asservissement de phase à commande arithmétique comprenant essentiellement un comparateur recevant les signaux binaires à leur entrée dans le récepteur, un compteur relié directement audit comparateur et un générateur local à haute stabilité branché entre le comparateur et le compteur qui fournit le signal de synchronisation du récepteur et qui met le récepteur en phase à l'instant de transition des signaux binaires reçus.

3° Dans un dispositif selon 2° une ou plusieurs des caractéristiques complémentaires ci-après :

a. On utilise un oscillateur à quartz, très stable

[1.430.241]

— 4 —

et dont la fréquence propre est un multiple élevé de la fréquence propre de fonctionnement du récepteur, par exemple de la forme 2^n de cette fréquence;

b. Il comprend, en interrelations électriques et de fréquences, à partir de l'entrée du récepteur d'une part un dérivateur, un redresseur d'impulsions débitant dans deux détecteurs de coïncidence dont l'un est relié à un multivibrateur monostable, d'autre part un oscillateur à quartz, un générateur d'impulsions fines, un circuit logique « OU », un compteur binaire, un décodeur de position du codeur, et enfin une sortie d'impulsions de la première bascule du compteur pour l'étalonnage à mi-temps des signaux reçus;

c. On utilise un plus grand nombre de signaux obtenus par décodage en position du contenu du compteur et un nombre correspondant de détecteurs de coïncidence et de leurs organes connexes, de manière à pouvoir remettre en phase par 2, 4... 2^n unités.

Société anonyme dite :
SOCIÉTÉ ALSACIENNE
DE CONSTRUCTIONS ATOMIQUES,
DE TÉLÉCOMMUNICATIONS
ET D'ÉLECTRONIQUE « ALCATEL »

Par procuration :
HARLÉ & LÉCHOPIEZ

Pour la vente des fascicules, s'adresser à l'IMPRIMERIE NATIONALE, 27, rue de la Convention, Paris (15^e).

Société Anonyme dite :

**Société Alsacienne de Constructions Atomiques,
de Télécommunications et d'Électronique ALCATEL**

```

graph LR
    In1((1)) --> Comp[comparator]
    In2((2)) --> Comp
    Comp -- 3 --> Gen[generator]
    Comp -- 4 --> Gen
    Gen -- 5 --> Cnt[counter]
    Cnt -- 6 --> Out6((6))
    Cnt -- 7 --> Comp
  
```

[illegible]

Quality 'Timing' is essential

Fig. 3

17 *19*

Quality 'Timing' is essential

Fig. 3

→

17 *19*

1-8

obvious
 clock
 not
 representative
 of XVI

1-8
 8-16
 1-8

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)